

Practitioner's Docket No.: 040044-0306859  
Client Reference No.: OF03P194/US

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: HAN-CHOON LEE      Confirmation No:

Application No.:      Group No.:

Filed: December 3, 2003      Examiner:

For: METHOD FOR FORMING BARRIER METAL OF SEMICONDUCTOR DEVICE

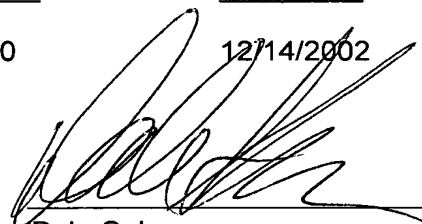
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, VA 22313-1450**

**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
KOREA	10-2002-0080010	12/14/2002

Date: December 3, 2003  
PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (703) 905-2000  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
Dale S. Lazar  
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0080010  
Application Number

출원년월일 : 2002년 12월 14일  
Date of Application DEC 14, 2002

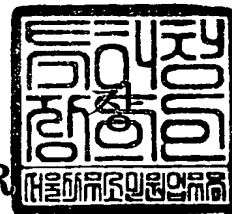
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 04 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002. 12. 14
【발명의 명칭】	반도체 소자의 장벽 금속층 형성 방법
【발명의 영문명칭】	Method For Forming Barrier Metal
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	이한춘
【성명의 영문표기】	LEE, Han-Choon
【주민등록번호】	690610-1400616
【우편번호】	134-032
【주소】	서울특별시 강동구 성내2동 125-6번지 302호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김영철 (인) 대리인

김순영 (인) 대리인

이준재 (인)

## 【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 장벽 금속층 형성 방법을 개시한다. 이에 의하면, 원자층 적층법을 이용하여 반도체 소자의 콘택홀에  $\text{SiH}_4$  층(또는 Si 층)을 적층한 후 상기  $\text{SiH}_4$  층(또는 Si 층) 상에 전구 물질층을 적층시키면, 상기  $\text{SiH}_4$  층(또는 Si 층)과 전구 물질층의 물질이 서로 반응하여  $\text{TiSiN}$ 층을 형성한다. 이러한 원자층 적층법을 반복 실시함으로써  $\text{TiSiN}$ 층을 원하는 두께로 두껍게 형성시킬 수가 있다. 그런 다음 상기  $\text{TiSiN}$ 층을 수소( $\text{H}_2$ ) 가스 및 질소( $\text{N}_2$ ) 가스의 분위기 또는 암모니아( $\text{NH}_3$ ) 가스의 분위기로 플라즈마 처리하여 상기  $\text{TiSiN}$ 층 내의 불순물을 제거시킨다.

따라서,  $\text{TiSiN}$ 층을 두껍게 형성시키는 것이 용이할 뿐만 아니라 상기  $\text{TiSiN}$ 층의 비저항을 비교적 낮게 저감시키는 것이 가능하다. 이는 장벽 금속층용  $\text{TiSiN}$ 층의 콘택 저항을 저감시키고 나아가 반도체 소자의 전기적 특성을 향상시킨다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

반도체 소자의 장벽 금속층 형성 방법{Method For Forming Barrier Metal}

**【도면의 간단한 설명】**

도 1 내지 도 3은 종래 기술에 의한 반도체 소자의 장벽 금속층 형성 방법을 나타낸 단면공정도.

도 4 내지 도 9는 본 발명에 의한 반도체 소자의 장벽 금속층 형성 방법을 나타낸 단면공정도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 장벽 금속층 형성 방법에 관한 것으로, 더욱 상세하게는 원자적층법을 이용하여 장벽 금속층의 콘택 저항을 저감시키도록 한 반도체 소자의 장벽 금속층 형성 방법에 관한 것이다.

<4> 일반적으로, 반도체소자의 고집적화가 진행됨에 따라 설계룰이 미세화되면서 모스 트랜지스터의 소오스/드레인의 사이즈 및 게이트 전극의 선폭과 금속 배선의 선폭이 축소되고 있다. 특히, 금속 배선의 선폭이 축소되면, 게이트 전극과 금속 배선을 콘택시키거나 소오스/드레인과 금속 배선을 콘택시키기 위한 콘택홀의 사이즈도 함께 축소된다. 이렇게 되면, 게이

트 전극과 금속 배선의 콘택 저항이 증가하므로 금속 배선의 저항이 증가하고 결국에는 반도체 소자의 동작 속도가 늦어진다. 그럼에도 불구하고, 반도체 소자의 고집적화와 더불어 고속화에 대한 요구가 더욱 높아지고 있는 실정이다.

<5> 이러한 요구를 해결하기 위한 방안의 하나로 콘택 저항을 저감시키기 위해 최근에는 고용점 금속층, 예를 들어 텅스텐(W) 층이 사용되고 있다. 또한, 상기 텅스텐 층과 콘택 영역의 콘택 저항을 저감시키기 위해 장벽 금속층이 이들 사이에 형성되고 있다. 상기 장벽 금속층 중에서 우수한 장벽 금속층으로 인정받고 있는 것이 TiSiN 층이다. 하지만, 상기 TiSiN 층은 일반적으로 스퍼터링법에 의해 적층되기 때문에 TiSiN 층의 비저항이 너무 높다. 그 결과, 상기 TiSiN 층은 장벽 금속층으로서 제한적으로 사용될 수밖에 없다. 최근에 들어 이러한 문제점을 개선하기 위해 새로운 TiSiN 층 형성 방법들이 제안되어 왔다.

<6> 종래의 TiSiN 층 형성 방법은 도 1에 도시된 바와 같이, 반도체 기판(10) 상에 절연막(11)을 형성한다. 여기서, 도면에 도시하지 않았으나 통상의 공정을 이용하여 반도체 기판(10)의 활성영역을 정의하기 위하여 반도체 기판(10)의 필드영역에 필드산화막을 형성하고 상기 활성영역에 트랜지스터의 소스/드레인과 게이트 전극 등을 형성하여 둠은 자명하다. 이어서, 사진식각 공정을 이용하여 반도체 기판(10)의 콘택 부분(도시 안됨)을 노출시키기 위해 반도체 기판(10)의 콘택 부분 상의 절연막(11)을 식각시킴으로써 콘택홀(12)을 형성한다. 그런 다음, 화학 기상 증착 공정을 이용하여 콘택홀(12) 및 절연막(11) 상에 전구 물질(precursor)

층(13), 예를 들어 테트라키스 디메틸 아미도 티타늄(tetrakis dimethyl amido titanium)(이하 "TDMAT"라 칭함)층을 원하는 두께로 적층시킨다. 이후, 도 2에 도시된 바와 같이, 도 1의 전구 물질층(13)을 플라즈마 처리시킨다. 따라서, 상기 전구 물질층(13)이 TiN층(15)으로 변형된다. 마지막으로, 도 3에 도시된 바와 같이, 화학 기상 증착 공정을 이용하여 도 2의 TiN층(15)의 표면에  $\text{SiH}_4$  가스를 반복적으로 접촉시켜주면, 상기 TiN층(15)이 TiSiN층(17)으로 변형된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <7> 그런데, 종래의 방법은 TiSiN층(17)을 충분히 두껍게 적층하기 어렵다. 더욱이, 종래의 방법에 의해 적층된 TiSiN층(17)은 비저항이 다소 높다. 그 결과, 종래의 방법에 의해 형성된 TiSiN층(17)은 장벽 금속층으로서 제한적으로 사용될 수밖에 없는 한계가 있다.
- <8> 따라서, 본 발명의 목적은 장벽 금속층용 TiSiN층의 콘택 저항을 저감시키는데 있다.
- <9> 본 발명의 다른 목적은 두꺼운 두께의 TiSiN층을 용이하게 적층하는데 있다.
- <10> 본 발명의 또 다른 목적은 TiSiN층의 비저항을 저감시키는데 있다.

#### 【발명의 구성 및 작용】

- <11> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 장벽 금속층



형성 방법은 반도체 기판 상에 절연막을 형성하고 상기 절연막의 일부 영역에 콘택홀을 형성시키는 단계; 원자층 적층법을 이용하여 상기 콘택홀 및 상기 절연막에  $\text{SiH}_4$  층을 적층하고 상기  $\text{SiH}_4$  층 상에 소정의 전구 물질층을 적층시킴으로써 얇은 두께의  $\text{TiSiN}$ 층을 형성시키는 과정을 반복 실시함으로써 상기 콘택홀 및 상기 절연막에 원하는 두꺼운 두께의  $\text{TiSiN}$ 층을 형성시키는 단계; 및 상기  $\text{TiSiN}$ 층에 포함된 불순물을 제거하기 위해 상기  $\text{TiSiN}$ 층을 플라즈마 처리시킴으로써 상기 콘택홀에 장벽 금속층용  $\text{TiSiN}$ 층을 형성시키는 단계를 포함하는 것을 특징으로 한다.

- <12> 바람직하게는, 상기  $\text{SiH}_4$  층을  $\text{SiH}_4$  가스를 이용하여 적층시킬 수가 있다. 또한, 상기  $\text{SiH}_4$  층 대신에  $\text{Si}$  층을 적층시킬 수가 있다.
- <13> 바람직하게는, 상기 전구 물질층으로서 TDMAT, TDEAT, 및  $\text{TiCl}_4$  중 어느 하나를 사용할 수 있다.
- <14> 바람직하게는, 상기  $\text{TiSiN}$ 층을 질소가스 및 수소가스 분위기와 암모니아가스 분위기 중 어느 하나에서 플라즈마 처리시킬 수가 있다.
- <15> 따라서, 본 발명은 장벽 금속층용  $\text{TiSiN}$ 층을 두꺼운 두께로 형성시키기가 용이하고 아울러  $\text{TiSiN}$ 층의 비저항을 저감시킬 수가 있다. 그 결과, 장벽 금속층용  $\text{TiSiN}$ 층의 콘택 저항을 저감시킬 수가 있다.
- <16> 이하, 본 발명에 의한 반도체 소자의 장벽 금속층 형성 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.

- <17> 도 4 내지 도 9는 본 발명에 의한 반도체 소자의 장벽 금속층 형성 방법을 나타낸 단면 공정도이다.
- <18> 도 4를 참조하면, 먼저, 반도체 기판(10) 상에 산화막과 같은 절연막(11)을 충분한 두께로 형성한다. 여기서, 도면에 도시하지 않았으나 통상의 공정을 이용하여 반도체 기판(10)의 활성영역을 정의하기 위하여 반도체 기판(10)의 필드영역에 필드산화막을 형성하고 상기 활성영역에 트랜지스터의 소스/드레인과 게이트 전극 등을 미리 형성하여 둬둔 자명하다. 이어서, 사진식각 공정을 이용하여 반도체 기판(10)의 콘택 부분(도시 안됨)을 노출시키기 위해 반도체 기판(10)의 콘택 부분 상의 절연막(11)을 식각시킴으로써 콘택홀(12)을 형성한다.
- <19> 이후, 도 5 내지 도 7에 도시된 바와 같이, 원자층 적층(Atomic Layer Deposition: ALD) 공정을 이용하여 하나의 반응 챔버(도시 안됨)에서  $\text{TiSiN}$ 층(25)을 형성한다. 여기서, 상기 반응 챔버의 온도는  $350\sim 450^\circ\text{C}$ 의 범위에서 특정 온도로 일정하게 유지하고, 내부 압력을  $90\sim 300$  Torr의 범위에서 특정 압력으로 일정하게 유지시켜주는 것이 바람직하다.
- <20> 즉, 도 5를 참조하면, 상기 반도체 기판(10)을 반응 챔버(도시 안됨)에 장착한 상태에서 상기 반응 챔버의 내부 공간으로  $\text{SiH}_4$  가스를 일정 시간동안 주입시킨다. 따라서, 상기 반도체 기판(10)의 콘택홀(12) 및 절연막(11) 상에  $\text{SiH}_4$  층(또는 Si층)(21)이 비교적 얇은 두께로 적층된다.
- <21> 이후, 도 6을 참조하면, 상기  $\text{SiH}_4$  가스의 주입을 중지시킨 후 상기 반응 챔버 내에 잔존할지도 모르는 상기  $\text{SiH}_4$  가스를 완전히 배기시키기 위해 질소( $\text{N}_2$ ) 가스나 아르곤( $\text{Ar}$ ) 가스와 같은 불활성 가스를 상기 반응 챔버에 일정 시간동안 주입시킨다 그런 다음, 상기 반응 챔버의 내부 공간으로 전구 물질(precursor)용 가스, 예를 들어 TDMAT, 테트라키스 디에틸 아미도 티타늄(tetrakis diethyl amido titanium)(이하 "TDEAT"라 칭함) 또는  $\text{TiCl}_4$

4중 어느 하나를 일정 시간동안 주입시킨다. 따라서, 상기 층(21) 상에 전구 물질 층(23), 예를 들어 TDMAT층", 테트라키스 디에틸 아미도 티타늄(tetrakis diethyl amido titanium)(이하 "TDEAT"라 칭함)층 또는  $TiCl_4$ 층 중 어느 하나로 형성된 층이 비교적 얇은 두께로 적층된다. 이때, 도 6의 층(21)의 물질과, 전구 물질 층(23)의 물질이 상기 반응 챔버의 온도, 즉 350~450℃의 온도에서 열분해에 의해 반응한다. 따라서, 도 7에 도시된 바와 같이,  $TiSiN$ 층(25)이 형성된다.

- <22> 이후, 상기 반응 챔버 내에 잔존할지도 모르는 전구 물질 가스를 완전히 배기시키기 위해 상기 반응 챔버의 내부 공간으로 질소( $N_2$ ) 가스나 아르곤(Ar) 가스와 같은 불활성 가스를 상기 반응 챔버에 일정 시간동안 주입시킨다.
- <23> 이와 같은 원자층 적층 공정을 원하는 횟수, 예를 들어 3회 반복 진행함에 따라 도 8에 도시된 바와 같이, 콘택홀(12) 및 절연막(11) 상에  $TiSiN$ 층(25)이 연속하여 3층으로 적층된다. 여기서,  $TiSiN$ 층(27)은 3층의  $TiSiN$ 층(25)으로 구성된다. 이때, 상기  $TiSiN$ 층(25)의 내부에는 불순물이 많이 포함되어 있으므로 상기  $TiSiN$ 층(25)의 내부에 포함된 불순물을 제거시켜주는 것이 바람직하다.
- <24> 한편, 설명의 편의상  $TiSiN$ 층(27)이 3층의  $TiSiN$ 층(25)으로 구성된 것으로 도시되어 있으나 실제로는 원자층 적층 공정의 반복 횟수를 변경시킴으로써  $TiSiN$ 층(27)이 3층 이상의  $TiSiN$ 층(25)으로 구성되거나, 3층 이하의  $TiSiN$ 층(25)으로 구성될 수 있음은 자명한 사실이다. 따라서, 본 발명은 두꺼운 두께의  $TiSiN$ 층을 용이하게 형성시킬 수가 있다.
- <25> 도 9를 참조하면, 도 8의  $TiSiN$ 층(27)을 수소( $H_2$ ) 가스 및 질소( $N_2$ ) 가스의 분위기 또는 암모니아( $NH_3$ ) 가스의 분위기로 플라즈마 처리시킴으로써 상기  $TiSiN$ 층(27)의 내부에 포함된 불순물, 예를 들어 CH계 불순물을 제거시켜준다. 그 결과,  $TiSiN$ 층(29)이 완성된다. 이때, 상

기 TiSiN층(29)은 도 3의 TiSiN층(17)에 비하여 장벽금속층으로서 사용하기에 적합할 정도로 비교적 낮은 비저항을 갖는다.

<26> 따라서, 본 발명은 두꺼운 두께를 가지면서도 낮은 비저항을 갖는 바람직한 장벽 금속층을 위한 TiSiN층을 형성시킬 수가 있다. 이는 반도체 소자의 콘택 저항을 저감시키고 나아가 반도체 소자의 동작 속도와 같은 전기적 특성을 향상시킨다.

<27> 이후, 필요에 따라 상기 콘택홀에 금속층 매립 공정이나 금속배선 공정을 추가로 진행할 수 있다.

<28> 한편, 본 발명은 설명의 편의상 콘택홀을 기준으로 설명하였으나, 콘택홀 이외에 비아홀에도 동일하게 적용시킬 수가 있음은 자명한 사실이다.

#### 【발명의 효과】

<29> 이상에서 설명한 바와 같이, 본 발명에 의한 반도체 소자의 장벽 금속층 형성 방법은 원자층 적층법을 이용하여 반도체 소자의 콘택홀에  $\text{SiH}_4$  층(또는 Si 층)을 적층한 후 상기  $\text{SiH}_4$  층(또는 Si 층) 상에 전구 물질층을 적층시키면, 상기  $\text{SiH}_4$  층(또는 Si 층)과 전구 물질층의 물질이 서로 반응하여 TiSiN층을 형성한다. 이러한 원자층 적층법을 반복 실시함으로써 TiSiN층을 원하는 두께로 두껍게 형성시킬 수가 있다. 그런 다음 상기 TiSiN층을 수소( $\text{H}_2$ ) 가스 및 질소( $\text{N}_2$ ) 가스의 분위기 또는 암모니아( $\text{NH}_3$ ) 가스의 분위기로 플라즈마 처리하여 상기 TiSiN층 내의 불순물을 제거시킨다.

<30> 따라서, TiSiN층을 두껍게 형성시키는 것이 용이할 뿐만 아니라 상기 TiSiN층의 비저항을 비교적 낮게 저감시키는 것이 가능하다. 이는 장벽 금속층용 TiSiN층의 콘택 저항을 저감시키고 나아가 반도체 소자의 전기적 특성을 향상시킨다.

<31> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 절연막을 형성하고 상기 절연막의 일부 영역에 콘택홀을 형성시키는 단계;

원자층 적층법을 이용하여 상기 콘택홀 및 상기 절연막에  $\text{SiH}_4$  층을 적층하고 상기  $\text{SiH}_4$  층 상에 소정의 전구 물질층을 적층시킴으로써 얇은 두께의  $\text{TiSiN}$ 층을 형성시키는 과정을 반복 실시함으로써 상기 콘택홀 및 상기 절연막에 원하는 두꺼운 두께의  $\text{TiSiN}$ 층을 형성시키는 단계 ; 및

상기  $\text{TiSiN}$ 층에 포함된 불순물을 제거하기 위해 상기  $\text{TiSiN}$ 층을 플라즈마 처리시킴으로써 상기 콘택홀에 장벽 금속층용  $\text{TiSiN}$ 층을 형성시키는 단계를 포함하는 반도체 소자의 장벽 금속층 형성 방법.

**【청구항 2】**

제 1 항에 있어서, 상기  $\text{SiH}_4$  층 대신에  $\text{Si}$ 층을 적층시키는 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

**【청구항 3】**

제 2 항에 있어서, 상기  $\text{SiH}_4$  층과  $\text{Si}$ 층 중 어느 하나를  $\text{SiH}_4$ 를 이용하여 적층시키는 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

**【청구항 4】**

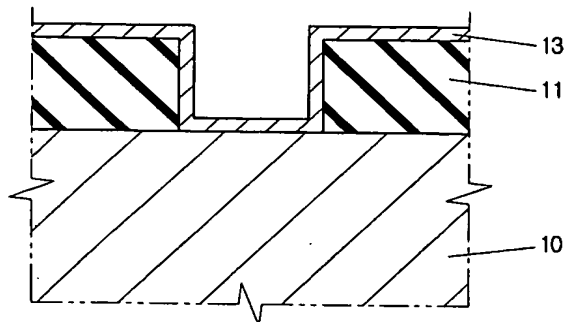
제 1 항에 있어서, 상기 전구 물질층으로서 TDMAT, TDEAT, 및  $\text{TiCl}_4$  중 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

**【청구항 5】**

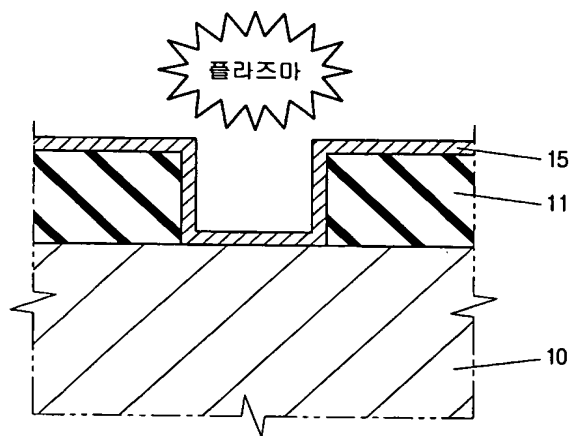
제 1 항에 있어서, 상기  $\text{TiSiN}$ 층을 질소가스 및 수소가스 분위기와 암모니아가스 분위기 중 어느 하나에서 플라즈마 처리시키는 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

【도면】

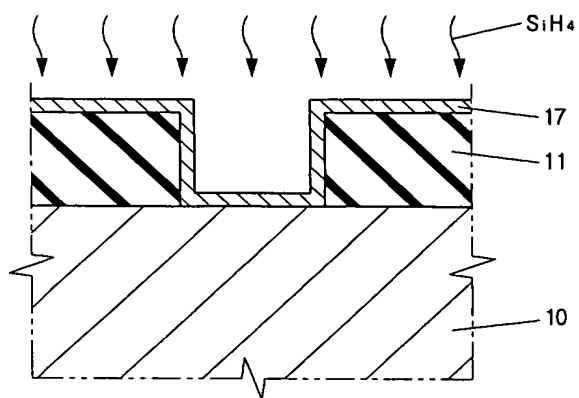
【도 1】



【도 2】

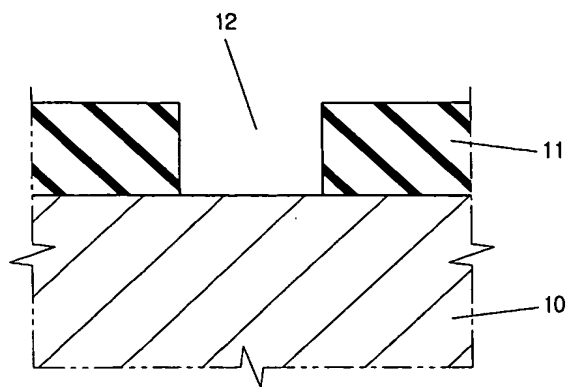


【도 3】

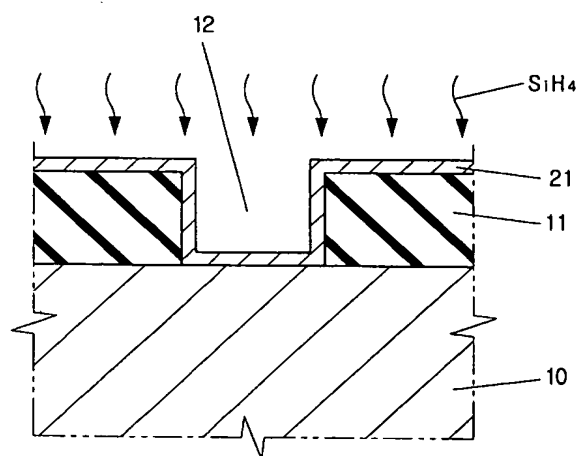




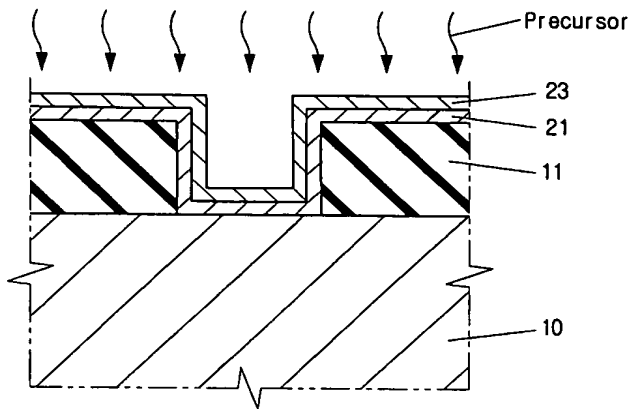
【도 4】



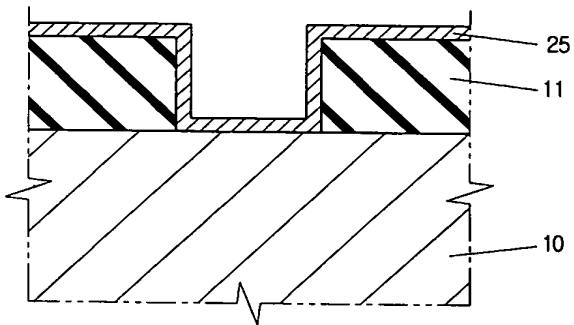
【도 5】



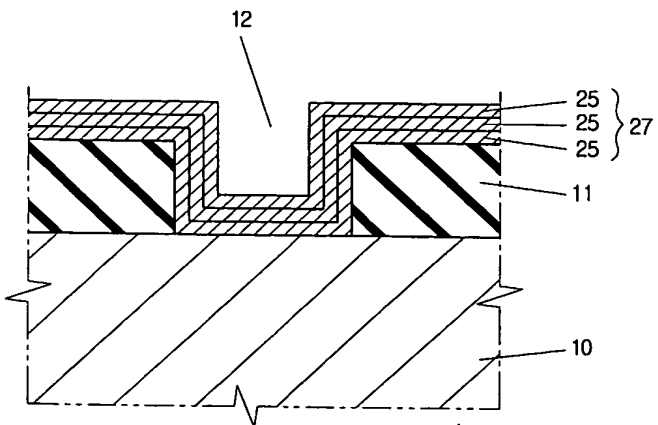
【도 6】



【도 7】



【도 8】



【도 9】

